



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#8  
Priority  
4/26/03  
4/26/03

Application of

Kouichi IKEDA et al

Art Unit: 2823

S. N. 09/716,843

Examiner: B. Kebede

Filed: November 17, 2000

For: SEMICONDUCTOR DEVICE AND  
METHOD FOR MANUFACTURING  
THE SAME

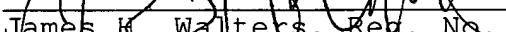
TRANSMITTAL OF CERTIFIED COPIES

Commissioner for Patents  
Washington, D.C. 20231

Sir:

This application claims priority from Japanese Patent Application No. 10-153818 filed May 19, 1998; Japanese Patent Application No. 10-153819 filed May 19, 1998; and International Patent Application No. PCT/JP99/02564. Certified copies of these three applications are submitted herewith in order to support the claim for priority.

Respectfully submitted,



James R. Walters, Reg. No. 35,

TECHNOLOGY CENTER 2800  
APR 14 2003  
731

RECEIVED

802  
DELLETT AND WALTERS  
Suite 1101  
310 S.W. Fourth Avenue  
Portland, Oregon 97204 US  
(503) 224-0115  
DOCKET: A-382WOC

Certificate of Mailing

I hereby certify that this correspondence is being deposited as first class mail with the United States Postal Service in an envelope addressed to the Commissioner for Patents, Washington, D.C. 20231, on this 4<sup>th</sup> day of April, 2003.



Attorney Docket: A-382W002  
S.N. 09/716, 843



日本特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1998年 5月19日

出願番号  
Application Number:

平成10年特許願第153818号

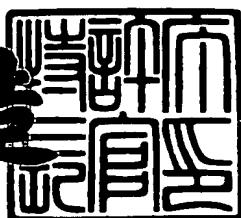
出願人  
Applicant(s):

新潟精密株式会社

2000年12月 8日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3103023

【書類名】 特許願  
【整理番号】 NSP0213N  
【提出日】 平成10年 5月19日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 12/00  
【発明の名称】 半導体装置およびその製造方法  
【請求項の数】 7  
【発明者】  
【住所又は居所】 新潟県上越市西城町二丁目5番13  
【氏名】 池田 孝市  
【発明者】  
【住所又は居所】 東京都大田区山王2丁目5番6-213  
【氏名】 池田 賀  
【特許出願人】  
【識別番号】 593119169  
【氏名又は名称】 株式会社ティ・アイ・エフ  
【代表者】 池田 賀  
【代理人】  
【識別番号】 100103171  
【弁理士】  
【氏名又は名称】 雨貝 正彦  
【電話番号】 03-3362-6791  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体ウエハに複数の同一の半導体チップを形成した後に、各半導体チップの良否検査の結果に応じて1あるいは複数個を単位として前記半導体チップを切り分けることにより形成することを特徴とする半導体装置。

【請求項2】 半導体ウエハに形成された複数の同一の半導体チップに対して配線、樹脂封止、端子形成を行った後に、各半導体チップの良否検査の結果に応じて1あるいは複数個を単位として前記半導体チップを切り分けることにより形成することを特徴とする半導体装置。

【請求項3】 請求項1または2において、前記半導体チップはメモリチップであることを特徴とする半導体装置。

【請求項4】 半導体ウエハに複数の同一の半導体チップを形成する第1の工程と、

前記半導体ウエハに形成された複数の前記半導体チップのそれぞれの良否検査を行う第2の工程と、

前記良否検査の結果に基づいて1あるいは複数の前記半導体チップを切り分ける第3の工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項5】 半導体ウエハに複数の同一の半導体チップを形成する第1の工程と、

前記半導体ウエハ上に形成された複数の前記半導体チップに対して配線、樹脂封止、端子形成を行う第2の工程と、

前記第2の工程によって形成された前記端子を用いて、前記半導体ウエハに形成された複数の前記半導体チップのそれぞれの良否検査を行う第3の工程と、

前記良否検査の結果に基づいて1あるいは複数の前記半導体チップを切り分ける第4の工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項6】 請求項4または5において、

前記半導体チップはメモリチップであることを特徴とする半導体装置の製造方法。

【請求項7】 請求項6において、

前記良否検査の後に行われる複数の前記半導体チップの切り分けは、4個が可能な場合には4個をひとまとまりとして、4個が不可能であって2個が可能な場合には2個をひとまとまりとして、2個が不可能な場合には1個ずつ行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ基板やマザーボードなどに実装可能な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

半導体ウエハから切り出されたメモリチップ等の半導体チップは、パッケージングされた状態でプリント基板等に実装されるのが一般的である。ところが、パッケージの外形寸法は、各種の半導体チップ自体のサイズに比べてかなり大きいため、プリント基板等に実装可能なパッケージの数には一定の制限がある。

【0003】

一方、最近では、複数の半導体チップを基板上に実装したマルチチップモジュール（MCM）が普及しつつある。このマルチチップモジュールを用いることにより、①実装面積の小型化およびこれに伴う軽量化、②高密度配線およびペアチップ実装による高性能・高速化、③高信頼性の確保等が可能になる。

【0004】

【発明が解決しようとする課題】

ところで、上述した高密度実装が可能なマルチチップモジュールにおいては、複数の半導体チップを1つの基板上に実装するため、各半導体チップの不良率が累積されてモジュール全体としての不良率が大きくなる。例えば、4個のメモリチップを1つのモジュール基板に実装する場合には、1つのメモリチップが不良

であってもモジュール全体の不良となる。したがって、不良となったメモリチップを交換するリペア作業を行ったり、このモジュール全体を不良品として廃棄する等の処置を施す必要があり、歩留まりが悪く、しかも無駄が多かった。また、複数の半導体チップを1つの基板上に実装する場合には、それぞれの半導体チップを1個ずつ基板に実装するため、製造工程が複雑になっていた。

#### 【0005】

本発明は、このような点に鑑みて創作されたものであり、その目的は、高密度実装が可能な半導体装置を製造する際の不良率を低減することができ、しかも工程の簡略化が可能な半導体装置およびその製造方法を提供することにある。

#### 【0006】

##### 【課題を解決するための手段】

上述した課題を解決するために、本発明では、半導体ウエハに複数の同一の半導体チップ（好ましくはメモリチップ）を形成した後に、あるいはこれらの半導体チップに対して配線、樹脂封止、端子形成を行った後に、各半導体チップの良否検査を行い、その結果に応じて1あるいは複数個を単位として半導体チップを切り分けることにより半導体装置が形成される。良否検査の結果に応じて半導体チップの切り分けを行っているため、複数個の半導体チップによって構成される高密度実装が可能な半導体装置を製造したときに、その中の一部の半導体チップが不良品であるために半導体装置全体が不良品になるということがなく、半導体装置を製造する際の不良率を低減することができる。また、複数個の半導体チップからなる半導体装置をその後の工程で用いることができるため、単一の半導体チップからなる半導体装置を複数個組み合わせて用いる場合に比べて、その後の工程を簡略化することができる。

#### 【0007】

特に、半導体ウエハに形成された各半導体チップに対して配線、樹脂封止、端子形成からなる実装工程を実施することにより、各半導体チップを個別に切り分けた後にこの実装工程を実施する場合に比べてさらなる工程の簡略化が可能になる。

#### 【0008】

また、良否検査の結果に応じた半導体チップ、特にメモリチップの切り分けは、4個が可能な場合には4個をひとまとまりとして、4個が不可能であって2個が可能な場合には2個をひとまとまりとして、2個が不可能な場合には1個ずつ行うことが好ましい。このように、多数個取りを優先させることにより、より大きな単位の（4個取りの）半導体装置を無駄なく効率よく製造することができる。

## 【0009】

## 【発明の実施の形態】

## (第1の実施形態)

以下、本発明を適用した第1の実施形態のメモリモジュールについて、図面を参照しながら具体的に説明する。図1は、本実施形態のメモリモジュールの製造工程を示す図である。

## 【0010】

まず、図1 (a) および (b) に示すように、例えばシリコン単結晶の薄片である半導体ウエハ2を導入し、この半導体ウエハ2に同一のメモリチップ1を形成する（第1の工程）。図1 (b) の点線で囲まれた各領域は、メモリチップ1の1単位（切り分けの最小単位）を示しており、半導体ウエハ2には、複数のメモリチップ1が形成される。

## 【0011】

図2は、半導体ウエハ2に形成されるメモリチップ1の概略を示す図である。図2に示すように、メモリチップ1は、所定の大きさの半導体ウエハ2と、この半導体ウエハ2の表面に形成される複数のチップ用パッド3とを含んで構成される。チップ用パッド3は、メモリチップ1が実装される基板との電気的接続を行うための接続端子である。

## 【0012】

このようにして半導体ウエハ2に複数のメモリチップ1が形成された状態で、次に、メモリチップ1のそれぞれについて良否検査を行う（第2の工程）。例えば、各メモリチップ1に形成されたチップ用パッド3に検査用プローブを押圧して電気的に接触させることにより、各種の機能試験を実施する。各メモリチップ

1の良否検査を半導体ウエハ2の全体を単位として行うことにより、すなわち、半導体ウエハ2に形成された複数のメモリチップ1の良否検査を一度に行うことにより、検査効率の向上を図っている。

#### 【0013】

次に、第2の工程における良否検査の結果に基づいて、図1(c)に示すように、良品と判定されたメモリチップ1を1個あるいは複数個(2個または4個)を単位として切り分ける(第3の工程)。

#### 【0014】

図3は、半導体ウエハ2に形成された複数のメモリチップ1の切り分け方法の一例を示す図である。図3(a)は、上述した第2の工程における各メモリチップ1の良否検査の結果を示す図であり、○印は良品と判定されたメモリチップ1を、×印は不良品と判定されたメモリチップ1をそれぞれ示している。また、図3(b)は、図3(a)において良品と判定されたメモリチップ1をどのように切り分けるかを示す図であり、実線で囲まれた範囲が切り分けの単位を示している。上述したように、メモリチップ1は、1個あるいは複数個(2個または4個)を単位として切り分けられるが、なるべく多くの個数をひとまとまりとして切り分けることが好ましい。したがって、図3(b)に示す切り分け方法は、4個のメモリチップ1を切り出すことができる場合は4個を切り分け、4個のメモリチップ1を切り出すことができない場合は2個を切り分け、2個のメモリチップ1を切り出すことができない場合は1個だけを切り分けるという手順となる。図3(a)に示した良否検査の結果に対してこの切り分け方法を適用した場合には、図3(b)に示すように、4個のメモリチップ1を切り分けたものが1組、2個のメモリチップ1を切り分けたものが3組、1個のメモリチップ1を切り分けたものが3組取り出される。このようにして、1個あるいは複数個からなる半導体装置が製造される。

#### 【0015】

次に、図1(d)に示すように、切り分けたメモリチップ1を基板4に実装して、最終的に、メモリチップ1を4個取りしたメモリモジュール10a、2個取りしたメモリモジュール10b、1個取りしたメモリモジュール10cのいずれ

かを完成させる（第4の工程）。例えば基板4への実装方法としては、メモリチップ1に形成されたチップ用パッド3と基板4に形成された電極（図示せず）とをボンディングワイヤを用いて接続する。

#### 【0016】

メモリチップ1を4個取りしたメモリモジュール10aは、例えば各メモリチップ1のピット構成を $16M \times 4$ ピットとすると、メモリモジュール10aを実装する基板（図示せず）の配線の仕方によって、 $16M \times 16$ ピット、 $32M \times 8$ ピット、 $64M \times 4$ ピットのいずれかのメモリ素子として用いることができる。また、メモリモジュール10aは、単一のメモリ素子と同様に取り扱うことができるため、他の基板等への実装工程の簡略化が可能となる。

#### 【0017】

同様に、メモリチップ1を2個含んだメモリモジュール10bは、各メモリチップ1のピット構成を $16M \times 4$ ピットとすると、メモリモジュール10bを実装する基板の配線の仕方によって、 $16M \times 8$ ピット、 $32M \times 4$ ピットのいずれかのメモリ素子として用いることができる。また、メモリモジュール10bは、単一のメモリ素子と同様に取り扱うことができるため、他の基板等への実装工程の簡略化が可能となる。

#### 【0018】

このように、半導体ウエハ2に同一のメモリチップ1を複数個形成し、これらのメモリチップ1のうち、良否検査によって良品であると判定されたもののみを切り分けてメモリモジュール10が製造されるため、メモリモジュール10に含まれる一部のメモリチップ1が不良品であるためにメモリモジュール10全体が不良品となってしまうことがなく、メモリモジュール10の製造の際の不良率を低減することができる。

#### 【0019】

また、半導体ウエハ2全体を単位としてその半導体ウエハ2に形成された複数のメモリチップ1の良否検査を一度に行っているため、検査の効率を上げることができる。さらに、メモリチップ1は、1個あるいは複数個（2個または4個）を単位として半導体ウエハ2から切り分けられるが、なるべく多くの個数をひと

まとまりとして切り分けて、すなわちなるべく4個ずつ切り分けているため、メモリチップ1を4個取りしたメモリモジュール10aを効率よく製造することができる。

#### 【0020】

また、メモリモジュール10aやメモリモジュール10bは、半導体ウエハ2に形成されたメモリチップ1を複数個まとめて切り分けたものが実装されている。すなわち、複数のメモリチップ1が互いにつながった状態で実装されるため、半導体ウエハ2からメモリチップ1を1個ずつ切り出し、各メモリチップ1同士の間隔をとって実装してメモリモジュールを形成する場合と比較すると、高密度実装による部品の小型化が可能になる。また、一度に複数の半導体チップ1を実装することができるため、製造工程を簡略化することが可能となる。

#### 【0021】

##### (第2の実施形態)

次に、本発明を適用した第2の実施形態のメモリモジュールについて説明する。本実施形態のメモリモジュールは、チップサイズパッケージ(CSP; Chip Size Package)実装技術によって製造される。図4は、本実施形態のメモリモジュールの製造工程を示す図である。

#### 【0022】

まず、図4(a)および(b)に示すように、半導体ウエハ12を導入し、この半導体ウエハ12に同一のメモリチップ11を形成する(第1の工程)。図4(b)の点線で囲まれた複数の各領域は、CSP実装後のメモリチップ11の1単位(切り分けの最小単位)を示している。次に、複数のメモリチップ11が形成された状態の半導体ウエハ12全体を対象として、図4(c)に示すように、配線と樹脂封止を行った後に端子を形成するCSP実装を行う(第2の工程)。

#### 【0023】

図5は、CSP実装されたメモリチップ11の拡大断面図である。図5に示すように、CSP実装されたメモリチップ11は、半導体ウエハ12、配線パターン13、ピア・ポスト14、バリヤ・メタル15、樹脂層16、半田ボール17を含んで構成される。

## 【0024】

配線パターン13は、半導体ウェハ12の表面に形成された金属薄膜をレジストで加工した後、電解メッキ処理を施すことにより形成される。ピア・ポスト14は、配線パターン13に接続されており、その頂上部にはバリヤ・メタル15が形成される。樹脂層16は、半導体ウェハ12の表面を封止している。樹脂層16は、ピア・ポスト14の高さとほぼ等しい厚さを有しており、樹脂封止したときにバリヤ・メタル15が外部に露出するようになっている。半田ボール17は、メモリチップ11が実装される基板との電気的接続を行うための接続端子である。

## 【0025】

このようにして半導体ウェハ12に形成された複数のメモリチップ11がCSP実装された状態で、次に、各メモリチップ11の良否検査を行う（第3の工程）。例えば、各メモリチップ11に対応して形成された半田ボール17に検査用プローブを押圧して電気的に接触させることにより、各種の機能試験を実施する。メモリチップ11の良否検査を半導体ウェハ12の全体を単位として行うことにより、すなわち、半導体ウェハ12に形成された複数のメモリチップ11の良否検査を一度に行うことにより、検査効率の向上を図っている。

## 【0026】

次に、第3の工程における良否検査の結果に基づいて、図4（d）に示すように、良品と判定されたCSP実装後のメモリチップ11を1個あるいは複数個（2個または4個）を単位として切り分けることにより、最終的に、メモリチップ11を4個取りしたメモリモジュール20a、2個取りしたメモリモジュール20b、1個取りしたメモリモジュール20cのいずれかを完成させる（第4の工程）。具体的な切り分け方法は、上述した第1の実施形態において、図3に示した切り分け方法が適用される。

## 【0027】

このように、半導体ウェハ12に同一のメモリチップ11を複数個形成した後にCSP実装を行い、CSP実装後の各メモリチップ11のうち、良否検査によって良品であると判定されたもののみを切り分けて半導体装置としてのメモリモ

ジュール20が製造されるため、メモリモジュール20に含まれる一部のメモリチップ11が不良品であるためにメモリモジュール20全体が不良品となってしまうことがなく、メモリモジュール20を製造する際の不良率を低減することができる。

【0028】

また、メモリモジュール20aやメモリモジュール20bは、半導体ウエハ12から複数のメモリチップ11をまとめて切り出したものが実装される。このため、半導体ウエハ12からメモリチップ11を1個ずつ切り出した後に各メモリチップ1の間隔をとって実装してメモリモジュールを形成する場合と比較すると、高密度実装による部品の小型化が可能になる。特に、CSP実装を行っているため、実装面積が最小になる。また、良否パターンに基づいて、できるだけ多くのメモリチップ11を含むようなメモリモジュール20a等の切り出しが行われるため、多数個取りのメモリモジュール20a等を効率よく製造することができる。

【0029】

本発明は、上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した第1の実施形態の半導体ウエハ2に含まれる各メモリチップ1は、対応する端子同士を各メモリチップ1内の配線によって相互に接続するようにしてもよい。例えば、各メモリチップ1の電源端子には共通の電源電圧が印加され、クロック端子には共通の動作クロック信号が入力される。同じ電圧が印加される端子同士あるいは同じ信号が入力される信号同士を各メモリチップ1を形成する際に接続しておいて、4個あるいは2個を同時に切り出す場合には、4個あるいは2個のメモリチップ1の中のいずれか一つに対して、共通の電圧を印加し、あるいは共通の信号を入力するようとする。このように、各メモリチップ1の内部で相互に配線を行うことにより、複数のメモリチップ1とこれを実装する基板4との間の配線量を減らすことができ、実装工程の簡略化が可能になる。

【0030】

但し、隣接する各メモリチップ1をどのように組み合わせて切り出すかは、良

否検査を行うまでわからないため、図6に示すように、隣接する全てのメモリチップ1同士の同じ端子を相互に配線しておくことが好ましい。また、一例として電源端子やクロック端子を相互に接続する場合を説明したがその他の端子、例えばアドレス端子やデータ端子を相互に接続するようにしてもよい。同じアドレス端子同士を接続すると、例えば1個のメモリチップ1のビット構成を $16M \times 4$ ビットとしたときに、2個のメモリチップ1を同時に切り出すメモリモジュール10bでは $16M \times 8$ ビットのビット構成を少ない配線量で容易に実現でき、4個のメモリチップ1を同時に切り出すメモリモジュール10aでは $16M \times 16$ ビットのビット構成を少ない配線量で容易に実現できる。また、同じデータ端子同士を接続すると、例えば1個のメモリチップ1のビット構成を $16M \times 4$ ビットとしたときに、2個のメモリチップ1を同時に切り出すメモリモジュール10bでは $32M \times 4$ ビットのビット構成を少ない配線量で容易に実現でき、4個のメモリチップ1を同時に切り出すメモリモジュール10aでは $64M \times 4$ ビットのビット構成を少ない配線量で容易に実現できる。

#### 【0031】

同様に、上述した第2の実施形態の半導体ウエハ12に含まれる各メモリチップ11の対応する端子同士を配線によって相互に接続するようにしてもよい。但し、この場合には、半導体ウエハ12において各メモリチップ11の端子同士を相互に接続する場合の他に、CSP実装を行う際に形成する配線（図5に示した配線パターン13）を用いて各メモリチップ11の端子同士を相互に接続するようにしてもよい。

#### 【0032】

また、上述した実施形態では、各メモリチップ1のビット構成を $16M \times 4$ ビットとしたが、他のビット構成でもよく、また、異なるビット構成あるいは容量のメモリチップ1を組み合わせてもよい。また、上述した実施形態では、半導体チップとしてメモリチップを用い、半導体装置としてのメモリモジュールを製造する場合を例にとって説明したが、メモリチップ以外の半導体チップ、例えば、プロセッサチップやASIC等の各種チップを用いて半導体装置を製造する場合に適用することができる。

## 【0033】

また、上述した第1の実施形態では、複数個あるいは1個ずつ切り出したメモリチップ1を基板4上に実装してメモリモジュール10を形成したが、メモリチップ1をパソコン用のマザーボード等に直接実装するようにしてもよい。

## 【0034】

## 【発明の効果】

上述したように、本発明によれば、良否検査の結果に応じて1あるいは複数個を単位として半導体ウエハから半導体チップを切り分けているため、複数個の半導体チップによって構成される高密度実装が可能な半導体装置を製造したときに、その中の一部の半導体チップが不良品であるために半導体装置全体が不良品になるということがなく、半導体装置を製造する際の不良率を低減することができる。また、複数個の半導体チップからなる半導体装置をその後の工程で用いることができるため、单一の半導体チップからなる半導体装置を複数個組み合わせて用いる場合に比べて、その後の工程を簡略化することができる。

## 【図面の簡単な説明】

## 【図1】

第1の実施形態のメモリモジュールの製造工程を示す図である。

## 【図2】

半導体ウエハに形成されるメモリチップの概略を示す図である。

## 【図3】

半導体ウエハに形成されたメモリチップの切り分け方法の一例を示す図である。

## 【図4】

第2の実施形態のメモリモジュールの製造工程を示す図である。

## 【図5】

CSP実装されたメモリチップの拡大断面図である。

## 【図6】

相互に接続される各メモリチップ間の接続状態を示す図である。

【符号の説明】

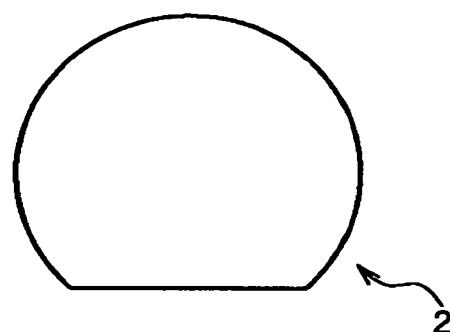
- 1、11 メモリチップ
- 2、12 半導体ウエハ
- 3 チップ用パッド
- 4 基板
- 10、20 メモリモジュール
- 13 配線パターン
- 14 ピア・ポスト
- 15 バリヤ・メタル
- 16 樹脂層
- 17 半田ボール

【書類名】

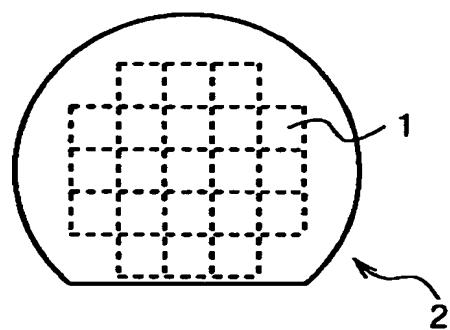
図面

【図1】

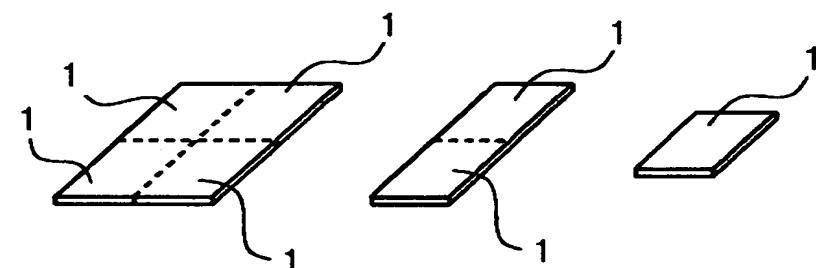
(a)



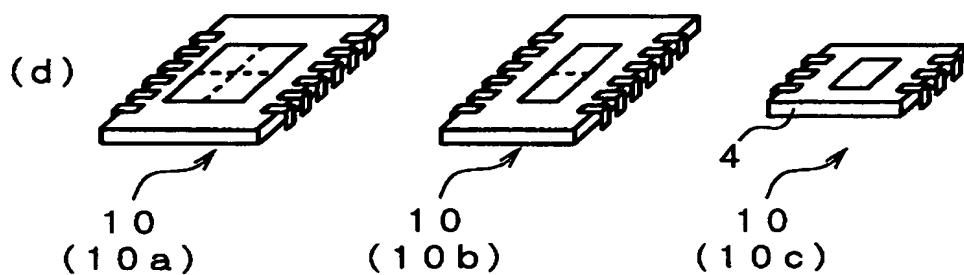
(b)



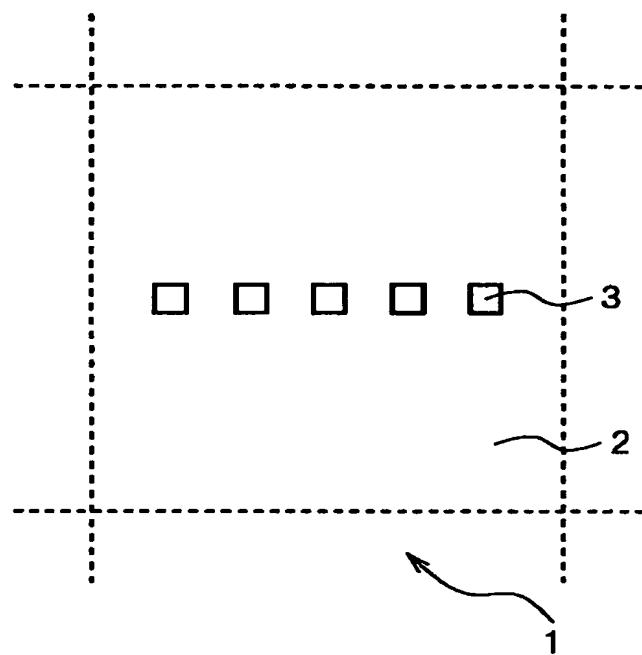
(c)



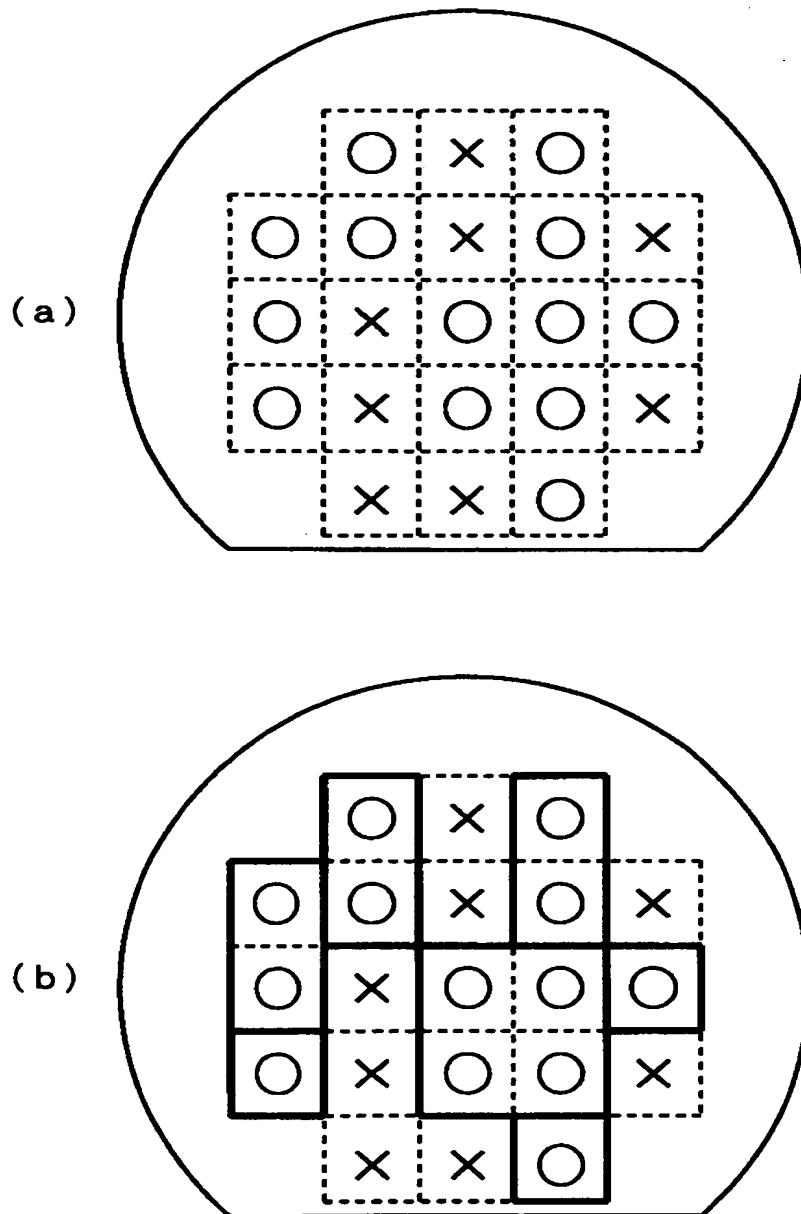
(d)



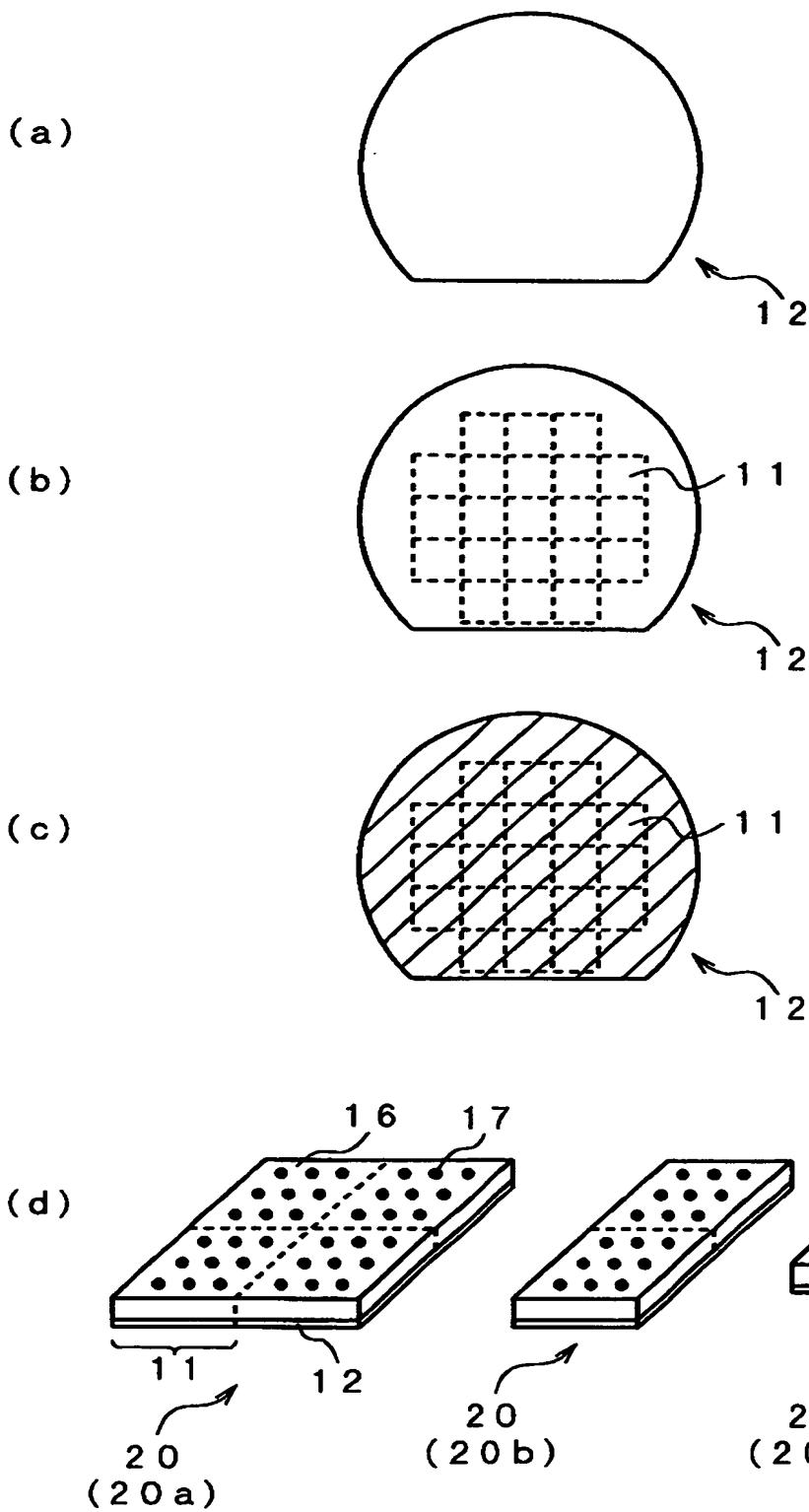
【図2】



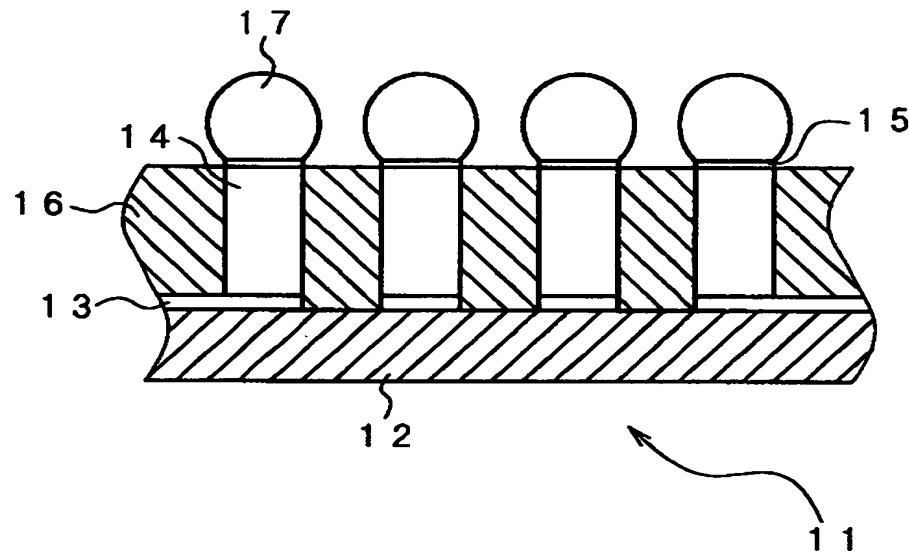
【図3】



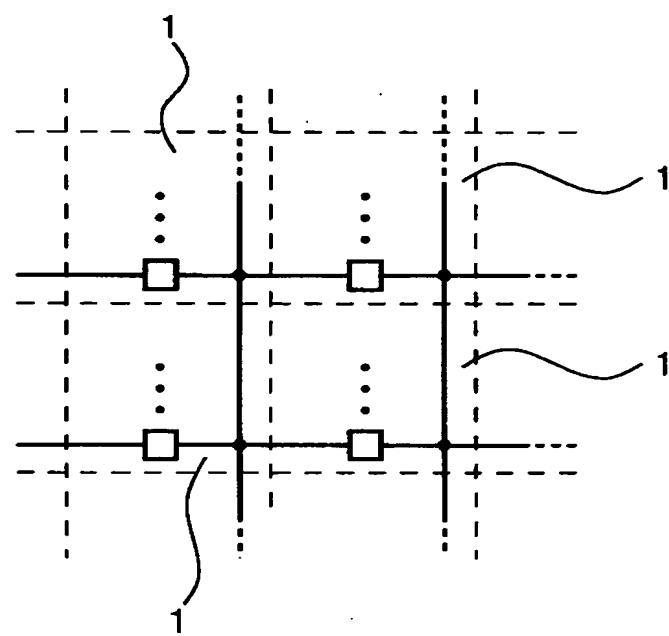
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 高密度実装が可能な半導体装置を製造する際の不良率を低減することができ、しかも工程の簡略化が可能な半導体装置およびその製造方法を提供すること。

【解決手段】 半導体ウエハ2に同一のメモリチップ1を複数個形成した状態で、各メモリチップ1の良否検査を一度に行い、良品と判定されたメモリチップ1を4個、2個あるいは1個単位で半導体ウエハ2から切り出し、基板4に実装してメモリモジュール10を完成させる。

【選択図】 図1

【書類名】  
【訂正書類】

職権訂正データ  
特許願

＜認定情報・付加情報＞

【特許出願人】

【識別番号】 593119169

【住所又は居所】 東京都大田区山王二丁目5番6-213号

【氏名又は名称】 株式会社ティ・アイ・エフ

【代理人】

申請人

【識別番号】 100103171

【住所又は居所】 東京都新宿区西新宿7丁目7番26号 ワコーレ新宿第1ビル803号室 雨貝特許事務所

【氏名又は名称】 雨貝 正彦

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 平成10年特許願第153818号

【承継人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【代表者】 池田 純

【承継人代理人】

【識別番号】 100103171

【弁理士】

【氏名又は名称】 雨貝 正彦

【提出物件の目録】

【物件名】 承継人であることを証する書面 1

【援用の表示】 平成12年9月19日提出の平成11年特許願第192  
675号の出願人名義変更届に添付のものを援用する。

【ブルーフの要否】 要

## 認定・付加情報

特許出願の番号	平成10年 特許願 第153818号
受付番号	50001421394
書類名	出願人名義変更届（一般承継）
担当官	寺内 文男 7068
作成日	平成12年11月16日

## &lt;認定情報・付加情報&gt;

【提出日】	平成12年11月 2日
【承継人】	
【識別番号】	591220850
【住所又は居所】	新潟県上越市西城町2丁目5番13号
【氏名又は名称】	新潟精密株式会社
【承継人代理人】	申請人
【識別番号】	100103171
【住所又は居所】	東京都新宿区北新宿1丁目8番15号 北新宿〇 Cビル2階 雨貝特許事務所
【氏名又は名称】	雨貝 正彦

次頁無

出願人履歴情報

識別番号 [593119169]

1. 変更年月日 1993年 5月28日

[変更理由] 新規登録

住 所 東京都大田区山王二丁目5番6-213号

氏 名 株式会社ティ・アイ・エフ

出願人履歴情報

識別番号 [591220850]

1. 変更年月日 1996年 5月 9日

[変更理由] 住所変更

住 所 新潟県上越市西城町2丁目5番13号

氏 名 新潟精密株式会社